

10/524087

PCT/JP03/10178

10.09.03

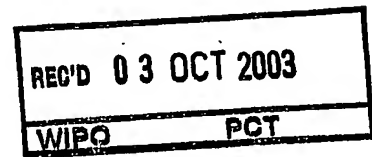
日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2002年 8月 9日

出願番号
Application Number: 特願2002-233909
[ST. 10/C]: [JP2002-233909]



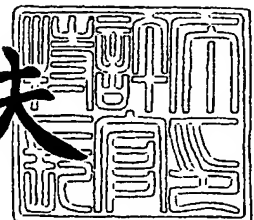
出願人
Applicant(s): 株式会社ルネサステクノロジ

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 9月 8日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3064003

【書類名】 特許願

【整理番号】 NT02P0338

【提出日】 平成14年 8月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 16/06

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内

【氏名】 菊地 睦

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内

【氏名】 秋山 登

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内

【氏名】 庄司 浩幸

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内

【氏名】 村林 文夫

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内

【氏名】 叶田 玲彦

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内

【氏名】 佐瀬 隆志

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所 日立研究所内

【氏名】 立野 孝治

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100094352

【弁理士】

【氏名又は名称】 佐々木 孝

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】

要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、前記昇圧回路群の最終段付近の昇圧回路に接続された出力電圧制御手段と、前記昇圧回路群の出力が供給される内部素子とを備え、前記昇圧回路群のうち、電源電圧を第 1 次電圧まで昇圧する第 1 段昇圧回路は、インダクタンス素子、スイッチング素子およびダイオードを含む DC-DC コンバータ回路で構成され、前記第 1 次電圧を所定の最終電圧まで昇圧する第 2 段以降の昇圧回路は、キャパシタンス素子とダイオードを含むチャージポンプ回路、またはインダクタンス素子、スイッチング素子およびダイオードを含む DC-DC コンバータ回路で構成され、前記昇圧回路を構成するインダクタンス素子、スイッチング素子、およびダイオード、前記出力電圧制御手段、前記内部素子は半導体基板に形成され、前記出力電圧制御手段は、前記昇圧回路群の最終出力が安定した所定の出力電圧となるように前記最終段付近の昇圧回路を制御し、その出力を前記内部素子に供給することを特徴とする電源電圧より高い電圧を内部回路で発生して内部素子を動作させる半導体装置。

【請求項 2】 電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、前記昇圧回路群の最終段付近の昇圧回路に接続された出力電圧制御手段と、前記昇圧回路群の出力が供給される内部素子とを備え、前記昇圧回路群のうち、電源電圧を第 1 次電圧まで昇圧する第 1 段昇圧回路は、キャパシタンス素子とダイオードを含むチャージポンプ回路で構成され、前記第 1 次電圧を所定の最終電圧まで昇圧する第 2 段以降の昇圧回路は、インダクタンス素子、スイッチング素子およびダイオードを含む DC-DC コンバータ回路で構成され、前記昇圧回路を構成するインダクタンス素子、スイッチング素子、およびダイオード、前記出力電圧制御手段、前記内部素子は半導体基板に形成され、前記出力電圧制御手段は、前記昇圧回路群の最終出力が安定した所定の出力電圧となるように前記最終段付近の昇圧回路を制御し、その出力を前記内部素子に供給することを特徴とする電源電圧より高い電圧を内部回路で発生して内部素子を動作させる半導体

装置。

【請求項 3】 請求項 1 または 2 において、前記第 1 段昇圧回路の昇圧比が、前記第 2 段昇圧回路の昇圧比より小さい半導体装置。

【請求項 4】 請求項 1 または 2 において、前記電源電圧が 2.5V 以下である半導体装置。

【請求項 5】 請求項 1 または 2 において、前記 DC-DC コンバータ回路のうち、少なくとも一つの DC-DC コンバータ回路は、昇圧動作時に昇圧比が設定値に維持されるようにした半導体装置。

【請求項 6】 請求項 1 または 2 において、前記 DC-DC コンバータ回路のうち、少なくとも一つの DC-DC コンバータ回路において、昇圧動作時に昇圧比が設定値に維持されるようにし、かつ、その昇圧比を任意に設定する手段を有する半導体装置。

【請求項 7】 請求項 1 または 2 において、前記 DC-DC コンバータ回路のうち少なくとも一つの DC-DC コンバータ回路は、昇圧動作時のスイッチングデューティ比が設定値に維持されるようにした半導体装置。

【請求項 8】 請求項 1 または 2 において、前記 DC-DC コンバータ回路のうち少なくとも一つの DC-DC コンバータ回路は、そのスイッチング周波数が 10MHz 以上である半導体装置。

【請求項 9】 請求項 1 または 2 において、前記インダクタンス素子が複数層の金属配線と、その配線層間に設けられた絶縁膜からなり、前記複数層の金属配線が並列に接続された並列接続型のインダクタンス素子である半導体装置。

【請求項 10】 請求項 9 において、前記インダクタンス素子を形成する金属配線がスパイラル状の配線であり、前記スパイラル状配線の外周端は前記電源電圧を供給する配線に接続され、内周端はインダクタンス素子下側の素子領域に形成された前記スイッチング素子の拡散層へ金属配線を介して接続されている半導体装置。

【請求項 11】 請求項 1 または 2 において、電源電圧より高い電圧を印加して動作させる前記内部素子が、不揮発性メモリである半導体装置。

【請求項 12】 請求項 1 または 2 の半導体装置を用いたメモリカード。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、電源電圧より高い電圧を内部回路で発生して内部素子を動作させる半導体装置に関する。

【0002】**【従来の技術】**

携帯情報端末の普及に伴い、差込型の半導体メディアによるデータの持ち運びが増えている。持ち運ぶデータもテキスト文書だけでなく高品質画像、音声、動画画像などにまで拡大し、そのデータ量は増加している。

【0003】

このため、これらのデータの保持に不可欠な不揮発性メモリ、特に電氣的消去が可能なEEPROM (Electrically Erasable Programmable Read Only Memory) の需要が増えている。

【0004】

一括消去が可能なEEPROMをフラッシュEEPROM (以下、フラッシュメモリと略称する) と呼ばれる。このフラッシュメモリは、消去動作を素子単位またはブロック単位で一括して行うことにより高集積化が可能なことから、大容量で低価格の不揮発性メモリとして広く使われている。

【0005】

フラッシュメモリでは、データの書込みや消去時に電源電圧よりも高い電圧が必要であり、フラッシュメモリLSI内部には昇圧回路が設けられる。昇圧回路にはチャージポンプ回路と呼ばれる回路方式が広く用いられている。

【0006】

チャージポンプ回路は、図17にその一例を示すようそれぞれコンデンサ160～164、ダイオード170～174からなる基本単位回路を直列に多段に並べて接続し、そのコンデンサの片側端子にパルス状のバイアス電圧を加え、電荷を1クロック毎に次ステップへ移送して容量性負荷の電圧を上昇させている。

【0007】

コンデンサ160～164は、一つおきにグループ化され、一方のグループにはクロックパルスCLKが直接与えられ、他方のグループにはインバータIVNを介して与えられる。したがって、各コンデンサには交互にパルスが与えられる。

【0008】

チャージポンプ回路には、この他にも倍電圧整流方式といわれる複数の並列接続したコンデンサを充電した後、直列接続に切り換えて高電圧を得る方式もある。

【0009】

また、昇圧回路として、DC-DCコンバータ回路を用いる方式や、DC-DCコンバータ回路とチャージポンプ回路を併用する方式が、各々、特開平7-21791、特開平8-297986に開示されている。

【0010】

【発明が解決しようとする課題】

チャージポンプ方式では一段あたりの昇圧電圧は、電源電圧からダイオード降下電圧を差し引いた電圧になる。このため、微細化の進展によりLSIの電源電圧が低くなると、チャージポンプ一段あたりの昇圧電圧は小さくなる。

【0011】

したがって、電源電圧の低下に伴い所望の電圧まで昇圧するのに必要な段数が増え、回路のレイアウト面積が増大する。この問題は、メモリ容量が増加し、512Mビット、1Gビット、2Gビットと大容量化するに従って顕著になる。

【0012】

今後も微細化の進展によりプロセッサやメモリはさらに低電圧化されるが、フラッシュメモリの書込み、消去電圧はほとんど変わらないので、昇圧回路を内蔵するLSIにとって電源回路の小形化は重要な課題となっている。

【0013】

また、DC-DCコンバータ回路方式、あるいはDC-DCコンバータ回路とチャージポンプ回路の併用方式では、インダクタンス素子の形成に通常のLSIプロセスにはない磁性体コアの形成や低抵抗化を目的とした厚膜プロセスが必要で

ある。

【0014】

厚膜配線ではインダクタンス素子以外の回路部分、例えばメモリのワード線などで配線アスペクトが高くなり微細加工が困難になる。このためインダクタンス素子のオンチップ化は困難であり、インダクタンスは別プロセスで形成し張り合わせるか、外付けしていた。上記の理由から、DC-DCコンバータ回路方式は、通常のLSIプロセスに適した昇圧回路方式となっていなかった。

【0015】

本発明は、昇圧回路を小形化するのに適した電源回路方式を有する半導体装置を提供することを目的とする。

【0016】

【課題を解決するための手段】

本発明は、電源電圧を所定の最終出力電圧まで昇圧する複数段の昇圧回路群と、前記昇圧回路群の最終段付近の昇圧回路に接続された出力電圧制御手段と、前記昇圧回路群の出力が供給される内部素子とを備え、前記昇圧回路群のうち、電源電圧を第1次電圧まで昇圧する第1段昇圧回路は、インダクタンス素子、スイッチング素子およびダイオードを含むDC-DCコンバータ回路で構成され、前記第1次電圧を所定の最終電圧まで昇圧する第2段以降の昇圧回路は、キャパシタンス素子とダイオードを含むチャージポンプ回路、またはインダクタンス素子、スイッチング素子およびダイオードを含むDC-DCコンバータ回路で構成され、前記昇圧回路を構成するインダクタンス素子、スイッチング素子、およびダイオード、出力電圧制御手段、内部素子は半導体基板上に形成され、前記出力電圧制御手段は、前記昇圧回路群の最終出力が安定した所定の出力電圧となるように前記最終段付近の昇圧回路を制御し、その出力を前記内部素子に供給するようにした、電源電圧より高い電圧を内部回路で発生して内部素子を動作させる半導体装置である。

【0017】

【発明の実施の形態】

図1は、本発明の1実施例であるフラッシュメモリ内部の昇圧回路の構成を示

すブロックダイアグラムである。フラッシュメモリ内部の昇圧電源回路は、複数の電圧を出力してメモリセルに供給するが、本実施例ではその一部を抜き出して説明する。

【0018】

第1段昇圧回路100にはフラッシュメモリへの入力電源電圧101が入力されている。第1段昇圧回路100の出力側には第2段昇圧回路200が接続され、以下順に第N段昇圧回路900まで直列に接続される。

【0019】

第N段昇圧回路900は、その出力電圧902を制御する電圧制御手段910を有し、その出力電圧902は、メモリセル1000に与えられる。第1段昇圧回路100は、昇圧チョッパ方式のDC-DCコンバータ回路である。

【0020】

これは、インダクタンス素子110、スイッチング素子120、ダイオード130及びスイッチング素子120をオン、オフ制御するためのゲート駆動回路140、出力を平滑するための平滑コンデンサ150で構成される。

【0021】

ダイオード130とコンデンサ150の直列回路は、スイッチング素子120と並列に接続され、コンデンサ150の両端が出力端子となっている。インダクタンス110は、ダイオード130とスイッチング素子120に直列に接続されている。

【0022】

第2段昇圧回路200から第N段昇圧回路900は、昇圧チョッパ方式か、チャージポンプ方式、あるいは倍電圧整流回路方式などで構成することが可能である。

【0023】

メモリに対して書込、消去、読出などの要求があった場合、フラッシュメモリ内部の昇圧電源回路は、所定の電圧をメモリセル1000へ供給するため、昇圧動作を開始する。図2に昇圧チョッパ方式であるDC-DCコンバータ回路の（a）基本回路図と（b）昇圧動作波形を示す。

【0024】

まず、駆動回路140の出力信号CLKの立上り時、その信号がロウ電圧→ハイ電圧へ変化すると、第1段昇圧回路100のスイッチング素子120がオンとなり、インダクタンス素子110に電流ILが流れ、磁界のエネルギーを蓄える。

【0025】

次に出力信号CLKがオフすると、スイッチング素子120がオフする。スイッチング素子120がオフしても、インダクタンス素子110の磁界に蓄えられたエネルギーにより、ダイオード130を通して電流IDが流れ、平滑コンデンサ150を充電する。

【0026】

したがって、インダクタンス素子110の電流ILは、図2(b)に示すようにスイッチング素子120のオン時点から増加し、オフ時点から減少し鋸歯状波形になる。一方、コンデンサ150への充電電流であるダイオード電流IDは、図2(b)のようにスイッチング素子120のオフ区間だけパルス状に流れる。

【0027】

上記のスイッチング操作を繰り返すことにより、入力電源電圧Vinが昇圧される。その様子を図2(b)に示したインダクタンス素子110の出力電圧Vxと第1段昇圧回路110の出力電圧Voutの波形変化によって示す。昇圧された出力電圧Voutは、第2段昇圧回路200の入力となる。

【0028】

スイッチング素子120のオン時間をTon、オフ時間をToffとすると、出力電圧Voutは入力電圧Vinのスイッチングデューティ、 $(Ton + Toff) / Toff$ 倍となる。このスイッチングデューティは、一定として固定の昇圧比とする。

【0029】

第1段昇圧回路100以降も昇圧チョッパ方式を用いる場合には、各段の昇圧回路についてそれぞれ固定の昇圧比で電圧を昇圧する。そして、最終段の第N段昇圧回路900に至ってから、所定の電圧に制御し、メモリセル1000に供給する。

【0030】

また、第1段昇圧回路100以降にチャージポンプ方式を用いる場合にも、最終段の第N段昇圧回路900に至ってから、所定の電圧に制御し、メモリセル1000に供給する。

【0031】

図3は、最終段の出力電圧の大きさを制御する電圧制御手段910の一例を示すブロックダイアグラムである。この電圧制御手段910は、ゲートとドレインを短絡したMOS型のダイオード920を、そのしきい値電圧の和が所定の電圧となるよう複数個直列に接続し、かつ、第N段目の昇圧回路900の出力電圧が所定の電圧を越えた際に流れる電流が定電流となるような回路としている。昇圧回路900の出力端子には、平滑コンデンサ151が接続されている。

【0032】

複数個直列に接続されたMOS型ダイオード920から取り出される電圧が所定の電圧を超えると定電流が流れ、コンパレータ922は停止信号を発生し、電圧の上昇を阻止する。一方、MOS型ダイオード920から取り出される電圧が所定の電圧以下に低下すると、コンパレータ922は発信器904へ起動信号を与え、第N段昇圧回路900の電圧を制御し、その出力電圧を上昇させる。なお、この実施例では、最終段の昇圧回路に電圧制御手段を設けているが、最終段付近、例えば、その前段に設け、最終段は一定の昇圧比とすることも可能である。

【0033】

このように定電流を適当な定電圧に変換して、コンパレータ922によってこの定電圧と基準電圧を比較することにより、第N段目の昇圧回路900に入力される発振回路904の出力電圧をオン、オフさせて一定の所定電圧を得る。したがって、中間の電圧は固定した昇圧比で大まかに扱い、最終段の出力電圧のみを制御することで、回路規模の縮小が可能となる。

【0034】

ここで、スイッチングデューティ比を一定として固定の昇圧比とすることにより、ゲート駆動回路140の回路規模の低減が可能となる理由を詳細に説明する。まず比較のため、図18に示す入力電圧6101を出力電圧6102に昇圧する従来構成のDC-DCコンバータ回路の制御方式について説明する。

【0035】

上記ゲート駆動回路140はゲート制御回路6140に対応している。まず出力電圧6102をフィルタ6141を通してフィードバックし、基準電圧発生回路6142の出力との誤差を誤差増幅器6143で増幅する。

【0036】

その後、誤差増幅器6143の出力と三角波発生回路6144の出力とを比較器6145により比較してスイッチング素子120のオン又はオフを決定し、ゲート駆動回路6146へ信号を送る。ゲート駆動回路6146は、スイッチング素子120のオン期間の比率を変化させることで出力電圧を一定に保持する。

【0037】

このため、フィードバック用のフィルタ6141、基準電圧発生回路6142、誤差増幅器6143、三角波発生回路6144及び比較器6145などの回路ブロックが必要となる。一方、本発明の場合、DC-DCコンバータ回路単体では出力電圧のフィードバックは行わず、予め設定したスイッチングデューティ比に従いスイッチング素子120を動作させるだけである。

【0038】

そのため、上記のフィードバックのループ構成は不要となり固定のスイッチングデューティ比を生成する回路とゲート駆動回路のみで十分であり、その回路規模が低減できる。

【0039】

さらに、ゲート駆動回路140が単純な構成になるため高周波動作が可能となる。その結果、インダクタンス値を小さく選べるのでインダクタンス素子120の占有面積も低減できる。

【0040】

ゲート駆動回路140を構成する素子の製造上のばらつき等により、スイッチング周波数とスイッチングデューティ比は若干ばらつくが、上記のようにゲート駆動回路140の規模を絞り、単純な構成としても昇圧は可能である。

【0041】

つまり、次段の第2段昇圧回路200がチャージポンプ回路の場合でも、ダイ

オードの順方向降下電圧の障壁を超える電圧を第1段昇圧回路100から出力できれば十分であり、スイッチングデューティ比により決まる昇圧比の精度は粗くてよい。なお、ゲート駆動回路140の規模は大きくなるが、スイッチングデューティ比を安定にするための制御回路を用いることもできる。

【0042】

さらに、設計時だけでなく製造時、動作時においてもスイッチングデューティ比を外部から設定可能にする手段を設けても良い。以下、図4から図6にデューティ比生成回路とそのデューティ比を設定する手段の一例を示す。

【0043】

図4はカウンタと比較器を用いたデューティ比生成回路を示すブロックダイアグラムである。その回路の動作は発振器7001から矩形波7002を出力し、そのパルス数をカウンタ7003で数え、デューティ比設定部7007で設定したデジタル値7008とカウンタ出力7004を比較器7005で比較し、所望のデューティ比を持つスイッチング信号7006を生成する。

【0044】

そして、スイッチング信号7006をゲート駆動回路140に入力し、スイッチング素子120を駆動できるように増幅した後、ゲートを駆動する。設定値7008は周期値とスイッチオン期間の値の組や周期が固定されたカウンタを用いた場合は、スイッチオンまたはオフ期間の値のみでも良い。この様にして発振器7001のデューティ比が管理されていない場合でも所望のスイッチングデューティ比を得ることが可能となる。

【0045】

矩形波7002を発生する発振器7001は、デューティ比生成回路の一部として配置した図で説明したが、昇圧比の異なるDC-DCコンバータ昇圧回路を複数用いる場合は発振器を共通に用いても良いし、LSI外部から供給されるクロックを矩形波7002として用いることも可能である。

【0046】

また、それぞれの昇圧回路のゲート駆動回路のすべてに発振器とデューティ比生成回路を設けても良い。しかし、発振器を共通とし、チャージポンプ回路方式

の昇圧回路へはそのまま入力し、DC-DCコンバータ回路方式の昇圧回路へはデューティ比生成回路を個別に配置することも可能である。当然デューティ比の等しい昇圧回路はデューティ比生成回路を共有することが可能である。

【0047】

図5は三角波出力の発振器を用いたデューティ比生成回路を示すブロックダイアグラムである。その回路の動作は三角波発振器7101からの三角波の瞬時値7104と、デューティ比設定部7007で設定した値7008を元にしきい値電圧発生回路7109により、しきい値7110を決定する。それらを比較器7105で比較し、所望のデューティ比を持つスイッチング信号7006を生成する。

【0048】

図6に発振器そのもののデューティ比を変更可能な発振回路の一例を示す。発振器7501はデューティ比設定部7507として2組のCR遅延時定数(7507a*7507c と7507b*7507d)を持っている。

【0049】

その比を $t_1 : t_2$ とすると、スイッチング信号7006のデューティ比は、 $t_1 : t_1 + t_2$ となる。デューティ比設定部7507は、抵抗7507aが調整可能になっており、その他の静電容量7507c、7507dは等しい値で固定であり、抵抗7507bも固定となっている。

【0050】

デューティ比設定部7007として、フューズ、配線マスクオプション、コンタクト配置のマスクオプション、または、実装時の端子接続オプション等による配線接続の有無により設定値7008を保持する方法と、不揮発性メモリやレジスタなどの書き換え可能な記憶素子により設定値を保持する方法がある。レジスタを用いた場合、電源投入時に値が定まる必要があり、不揮発性メモリ等から設定値を読み込む構成が考えられる。

【0051】

フューズや配線オプション等の配線接続の変更により、直接に抵抗値又は容量値等を変更することも可能であるが、間接的に設定値としても良い。逆に、デューティ比設定を不揮発性メモリやレジスタ等の値を保持する手段を用いた場合、

その値を元に抵抗値又は容量値等を変更するようにスイッチ素子を切り替える方法も考えられる。

【0052】

図18に示した従来の構成のDC-DCコンバータの比較器は、電圧を比較するため差動アンプを構成する必要がある。しかし、図4に示す本発明の実施例のカウンタを用いたデューティ比設定方式の比較器は、論理回路で構成が可能であり、回路面積は差動アンプに比べて小さい。図5では差動アンプが必要となるが、フィードバック制御のループを構成せず、直接デューティ比を設定するので位相設計が容易となる。

【0053】

図4から図6に示した実施例においては、スイッチングデューティ比により昇圧比を間接的に決定しているが、昇圧比をデューティ比に変換するブロック(図示せず)を設け、昇圧比を設定値としても良い。

【0054】

このように昇圧比を設定変更可能とすることにより、高速動作時はメモリLSIへの入力電圧は3Vであるが、低消費電力動作時は1Vに下がるような場合、スイッチングデューティ比を動作モードに応じてLSI内部で変更することにより、単純な回路構成のままで入力電圧の変化に対応することが可能である。高速動作品種と、低速であるが低消費電力である品種を同一のチップとして製造し、出荷時に内部のレジスタを変更し品種を分けることも可能となる。

【0055】

本実施例によれば第1段の昇圧回路をDC-DCコンバータ回路とすることで、入力電源電圧が1V以下程度まで低下しても、インダクタンス電流を確保できるようにスイッチング素子120の駆動能力を決めることにより昇圧が可能となる。つまり、インダクタンス素子110に後段の負荷に必要なエネルギーを上回る磁界のエネルギーを蓄えることができれば昇圧が可能となる。

【0056】

また、駆動回路や電圧制御手段も簡単になり、昇圧電源回路のレイアウト面積を低減できる。一方、チャージポンプ回路では電荷をコンデンサに蓄え、そのコ

ンデンサの片側端子にパルス状のバイアス電圧を加えて電荷を次のステップへ移送する。そして電荷の逆流を防ぐためのダイオードが各ステップに必要である。

【0057】

1ステップ分の昇圧電圧は、電源電圧からダイオードの順方向降下電圧を差し引いた電圧となるため、電源電圧が1V程度まで低下するとダイオードの電圧が支配的になり、ほとんど昇圧が不可能になる。

【0058】

図7はインダクタンス素子110の構成方法の一例を示している。従来チップ内にインダクタンス素子を作り込む場合、特別に厚さ数 μm の厚膜配線プロセスを追加するか、別プロセスで加工したものを張り合わせて、直列抵抗を下げていた。本実施例では、フラッシュメモリの配線プロセスに手を加えることなく、低抵抗のインダクタンス素子110をオンチップで作রি込む。

【0059】

即ち、複数の異なる配線層で平面形状を同一にしたスパイラル状のインダクタンス素子111、112、113を、それらに電流を流した場合にできる磁束の向きが同じでかつ互いに磁束が貫くように重ね合せて形成し、これらを並列に接続する。なお、図示していないが、各層間をスルーホール等で同電位の部分を接続してもよい。

【0060】

これは、磁束が互いに干渉しないような配置で単一配線層のインダクタンス素子を並列接続した場合、抵抗は k 分の1（ k は並列に接続したインダクタンス素子の数）になるが、インダクタンス値も k 分の1に減少する。そこで、磁束が同じ方向に互いに貫くように重ねることで、抵抗を k 分の1としながらインダクタンス値はもとの1層分のインダクタンス素子とほぼ同じになる。

【0061】

多層の配線で並列接続したインダクタンス素子とすることにより、スイッチング素子120の動作を高周波化した際の表皮効果による抵抗上昇も抑えることができる。インダクタンス素子110をより小さくするためには高周波スイッチングが必要となるが、周波数が20MHzを超えると表皮効果が現れ、導体の表面

のみに電流が集中する。

【0062】

この場合、厚さ数 μm の配線で低抵抗なインダクタンス素子を構成したつもりでも、導体断面の全体に電流が流れることができないので抵抗値が上昇する。ところが、複数配線層を並列に接続して構成したインダクタンス素子では、合計の断面積が同じ場合でもその導体表面積が厚膜配線よりも大きいので、表皮効果による抵抗の上昇が少なく抑えられるという利点がある。

【0063】

図8はインダクタンス素子110とその周辺素子との接続の一例を示す簡略断面図である。インダクタンス素子110は、2層目および3層目の金属配線とその配線層間絶縁膜からなる並列接続型のインダクタンス素子である。

【0064】

そして、インダクタンス素子を形成する金属配線は、図7に示されるようなスパイラル状の配線であり、スパイラル状配線の外周端には入力電源電圧101が供給される。

【0065】

そして、各スパイラル状配線の外周端は層間接続配線180で接続され、内周端は層間接続配線181および1層目配線を介して、インダクタンス素子110の下側の素子領域に形成されたスイッチング素子領域120aの拡散層（図示せず）に接続されている。

【0066】

素子領域140a、130a、150aには、各々スイッチング素子120を駆動する駆動回路140、ダイオード130、出力平滑コンデンサ150が形成されていて、これらは1層目の配線により接続されている。

【0067】

図9は本発明の昇圧回路と従来の昇圧回路について、7Vまで1次昇圧電圧した時の面積比と電源電圧の関係を示した説明図である。チャージポンプ回路を用いた従来の昇圧回路では電源電圧の低下と共に回路面積が増加し、電源電圧が2V以下で面積が急激に大きくなる。それに対して、本発明の昇圧回路を用いれば

回路面積の増加はほとんど無く、約 2.5 V で従来の回路方式より面積が小さくなる。

【0068】

従来の昇圧回路の面積が電源電圧 2 V 以下で急激に大きくなる理由は、チャージポンプ回路ではポンプ一段あたりの昇圧電圧が、電源電圧から MOS 型ダイオード降下電圧（基板バイアスの影響を受け、およそ 1 V 以上）を差し引いた電圧になるため、昇圧に必要なチャージポンプ回路の段数が増大するためである。

【0069】

これに対して本発明では、第 1 段の昇圧電圧 1.02 が 7 V 程度の場合、一段で昇圧することが可能なため、MOS 型ダイオード降下電圧の影響はあまり受けない。

【0070】

図 10 は本発明の昇圧回路と従来の昇圧回路について、7 V まで 1 次昇圧電圧した時の面積比と動作周波数の関係を示した説明図である。昇圧回路の動作周波数がおよそ 10 MHz 以上になると、本発明の昇圧回路の方が従来の昇圧回路よりもサイズが小さくなる。

【0071】

これは、チャージポンプ回路のサイズをほぼ決めているコンデンサのサイズが、ポンプの切替え動作周波数に反比例するのに対して、DC-DC コンバータ回路のサイズをほぼ決めているインダクタンス素子のサイズは、スイッチング周波数の 2 乗に反比例するからである。

【0072】

図 11 にインダクタンス素子の他の構成例を示す。図 2 (a) に示した DC-DC コンバータ回路の最大消費電流と平均電流は、インダクタンス電流 I_L によって決まり、最大電流は大きくなり平均電流のおよそ 2 倍である。このため、フラッシュメモリの入力電源への負担が大きくなる場合がある。

【0073】

これを解決するために、図 11 に示すように、図 7 のインダクタンス素子 110 を合計のインダクタンス値が同じとなるように複数組（図では 110a、110b）を接続する。

0 b、1 1 0 c、1 1 0 dの4組)に分割すると共にスイッチング素子も4個設け、図6に示すようにスイッチングの位相に差を付けて並列動作させ、インダクタンス電流の合計のピークを低減する。

【0074】

インダクタンス素子一つの面積をk分の1とし、k個並列動作の場合、スイッチング周波数を $\sqrt{k^3}$ 倍とすれば平均電流はk分割前と同一となる。各相の最大電流はk分の1となり、その合計は1より小さくなるため合計の最大電流を減らすことが可能となる。更に、スイッチングの位相を周期のk分の1ずつ差をつけて並列動作させるとインダクタンス電流の合計は最も小さくすることができ、最大電流を低減できる。

【0075】

また、昇圧比とスイッチングデューティ比の関係は前述したが、この昇圧比(=スイッチングデューティ比の逆数)と昇圧回路並列分割数を等しくし、スイッチング周期を等分割するように位相差を設けて動作すると、各相の合計電流のリップルがなくなり、平均電流と合計最大電流がほぼ一致するようにできる。また、分割した場合はインダクタンス素子の配置に自由度が増す。例えば正方形領域だけでなく長方形の領域にも配置が可能となる。

【0076】

図13は図1の実施例のN=2の場合で、かつ、第1段の昇圧回路100の出力にリミッタ103を配置する。この場合、第2段の昇圧回路200の動作開始に備えて予め昇圧を中間段階まで進めておくことができるため、全体の昇圧動作が速くなり、メモリアクセス速度が向上する。なお、リミッタ103、203には、図1の電圧制御手段910の一例として説明したものと同様の回路方式を用いることができる。

【0077】

図14は、本発明の他の実施例であるフラッシュメモリ内部の昇圧回路の構成を示す図である。フラッシュメモリ内部の昇圧電源回路は、複数の電圧を出力しメモリセルに供給するが、本実施例ではその一部を抜き出して説明する。第1段の昇圧回路5100にはフラッシュメモリへの入力電源電圧5101が入力され

ている。

【0078】

そして、第1段の昇圧回路5100の出力には第2段の昇圧回路5200が接続され、以下順にN段昇圧回路まで直列に接続される。N段昇圧回路5900はその出力電圧5902を制御する電圧制御手段5910を有し、その先にメモリセル1000が接続される。第1段昇圧回路5100はチャージポンプ回路であり、第2段昇圧回路5200はDC-DCコンバータ回路を用いる。

【0079】

ここでは図示していないが第3段昇圧回路から第N段昇圧回路900は昇圧型のDC-DCコンバータ回路か、チャージポンプ回路で構成している。第1段昇圧回路にチャージポンプ回路を用いて入力電源電圧 V_{in} を a 倍に昇圧した場合、第2段昇圧回路の入力最大電流 I_{in2} はインダクタンス素子とスイッチング素子の直流抵抗を R_{dc} としたとき $I_{in2} = a * V_{in} / R_{dc}$ となる。

【0080】

インダクタンス値を L とすれば蓄えられるエネルギーは $1/2L * I_{in2} * I_{in2}$ となるため、入力電源電圧をそのままDC-DCコンバータ回路に入力するよりも蓄えられるエネルギーが a の2乗倍となる。このような理由から、第1段昇圧回路をチャージポンプ回路とし、第2段昇圧回路をDC-DCコンバータ回路とすることで、効率的な昇圧回路を構成できる。

【0081】

ただし、第1段昇圧回路の昇圧比を第2段昇圧回路の昇圧比よりも高くすると、逆にチャージポンプ回路の規模が大きくなるため面積が増大する可能性がある。このため第1段昇圧回路の昇圧比よりも第2段の昇圧回路の昇圧比を大きくすることが必要となる。

【0082】

図15に本発明の半導体装置を複数個重ねて実装する際の半導体装置内部のブロック構成図を、図16に本発明の半導体装置を複数個重ねてカードに実装したマルチチップ型半導体装置の略断面構成図を示す。

【0083】

図15には、それぞれメモリセル領域11、21、周辺回路領域12、22、昇圧回路領域1110、1120を有する第1の半導体装置10、第2の半導体装置20が示されている。ここで半導体装置20は、半導体装置10を鏡反転した回路構成をもつ。

【0084】

図12において、メモリカード40は、CPU30、CPU30と第1の半導体素子10、第2の半導体素子20の電極パッド間を結ぶボンディングワイヤ31を備えている。

【0085】

半導体装置10、20には、図15に示した半導体装置10、20が使われており、各々a-a'断面、b-b'断面が示されている。例えば図16において、半導体装置10の昇圧回路領域1110の図面奥側は周辺回路領域12となる。

【0086】

本発明の半導体装置を複数個重ねて実装する場合、隣接する半導体装置間でインダクタから発生する磁束同士が干渉して、動作が不安定になることも起こり得る。そこで、その様な場合には図15に示すような第1、第2の半導体装置を互いに重ね合わせるにより、磁束同士の干渉を無くしている。

【0087】

なお、以上で述べた実施例では本発明を適用した半導体装置としてフラッシュメモリを例にとり説明したが、本発明は電源電圧よりも高い電圧を内部回路で発生し、内部の素子を駆動するものすべてに対して適用できる。

【0088】

不揮発性メモリやその他メモリ以外の半導体装置、例えばマイクロプロセッサ／コントローラなどの半導体装置に適用可能であり、乾電池1本の電圧で駆動できるようになるなどの効果がある。また、電源電圧が1V程度となっても昇圧動作が可能になる。

【0089】

上記した本発明の実施態様は次の通りである。

【0090】

(1) 電源電圧より高い電圧を内部回路で発生して内部素子を動作させる半導体装置とそれを用いた応用装置、例えば不揮発性メモリとそれを用いたメモリカードにおいて、電源電圧を所定の最終出力電圧まで昇圧する昇圧回路を、N段の昇圧回路（Nは2以上の整数）で構成し、第1次電圧まで昇圧する第1段昇圧回路には、半導体装置内に形成したインダクタンス素子、スイッチング素子およびダイオードからなるDC-DCコンバータ回路を用い、第1次電圧を所定の最終電圧まで昇圧する第2段以降の昇圧回路には、コンデンサとダイオードからなるチャージポンプ回路、または第2のDC-DCコンバータ回路を用いて、少なくともN段目の昇圧回路には所定の出力電圧が安定して得られるよう出力電圧制御手段を設ける。

【0091】

(2) DC-DCコンバータ回路のスイッチング周波数を10MHz以上にすると共に、昇圧動作時のスイッチングデューティ比を一定とすることにより昇圧比を一定とし制御回路の規模を低減する。

(3) (2)において、スイッチングデューティ比を設計時点のみではなく製造時及び動作時に設定可能とすることで、歩留まり向上や電源電圧の異なる品種への展開が容易となる。

【0092】

(4) インダクタンス素子の金属コイル部には半導体集積回路の形成工程を利用して形成した金属配線を、コア部には前記形成工程を利用して形成した配線層間絶縁膜を用いる。

(5) インダクタンス素子の抵抗を下げる場合には、複数層の金属配線とその配線層間絶縁膜でインダクタンス素子を構成し、複数層の金属配線が並列に接続された並列接続型のインダクタンス素子とする。

【0093】

(6) DC-DCコンバータ回路の平均および最大電流を下げる場合には、上記並列接続型のインダクタンス素子を用いたDC-DCコンバータ回路をN個（Nは2以上の整数）設け、各DC-DCコンバータ回路を並列接続して、そのス

イッチングの位相がスイッチング周期のN分の1ずつ互いに異なるよう駆動する。

【0094】

(7) 上記半導体装置を複数個重ねて実装したマルチチップ型半導体装置する際には、隣接する半導体装置のインダクタンス素子が、その形成領域の真上および真下で互いに重なり合わないよう配置する。例えば、インダクタンス素子の形成領域がチップ左半分側の一部にある第1の半導体装置と、前記インダクタンス素子の形成領域がチップ右半分側の一部にある第2の半導体装置を互いに重ね合わせて、各々のインダクタンス素子形成領域が、その真上および真下で互いに重なり合わないよう配置する。

【0095】

【発明の効果】

以上述べたように、本発明によれば、フラッシュメモリなどの不揮発性メモリを内蔵した集積回路において、電源電圧が低くなった場合に、従来方式に比べ昇圧回路のレイアウト面積を少なくでき、装置の小形化が可能になる。

【図面の簡単な説明】

【図1】

本発明の第1の実施例に係る昇圧回路の構成図である。

【図2】

(a)は、本発明の第1の実施例の第1段昇圧回路を示す回路図、(b)は、本発明の第1の実施例の第1段昇圧回路の動作を説明する波形図である。

【図3】

本発明の第1の実施例に係る電圧制御手段の回路ブロック図である。

【図4】

本発明の第1の実施例に係るデューティ比生成回路とデューティ比設定手段のブロック構成図である。

【図5】

本発明の第1の実施例に係るデューティ比生成回路とデューティ比設定手段のブロック構成図である。

【図 6】

本発明の第 1 の実施例に係るデューティ比生成回路とデューティ比設定手段のブロック構成図である。

【図 7】

本発明の第 1 の実施例に係るインダクタ素子の構成図である。

【図 8】

本発明の第 1 の実施例に係るインダクタンス素子とその周辺素子との接続例を示す略断面図である。

【図 9】

本発明の第 1 の実施例に係る昇圧回路と従来昇圧回路について、面積比と電源電圧の関係を示した比較図である。

【図 10】

本発明の第 1 の実施例に係る昇圧回路と従来昇圧回路について、面積比と動作周波数の関係を示した比較図である。

【図 11】

本発明の第 1 の実施例に係る他のインダクタ素子の構成図である。

【図 12】

本発明の第 1 の実施例に係る他のインダクタンス素子を用いて並列スイッチング動作させる際のクロックの波形図である。

【図 13】

本発明の第 2 の実施例に係る昇圧回路の構成図である。

【図 14】

本発明の第 3 の実施例に係る昇圧回路の構成図である。

【図 15】

本発明の半導体装置を複数個重ねて実装する際の半導体装置内部のブロック構成図である。

【図 16】

本発明の半導体装置を複数個重ねてカードに実装したマルチチップ型半導体装置の略断面構成図である。

【図 17】

チャージポンプ方式の従来昇圧回路の回路図である。

【図 18】

D C - D C コンバータ回路の従来ゲート周辺回路の説明図である。

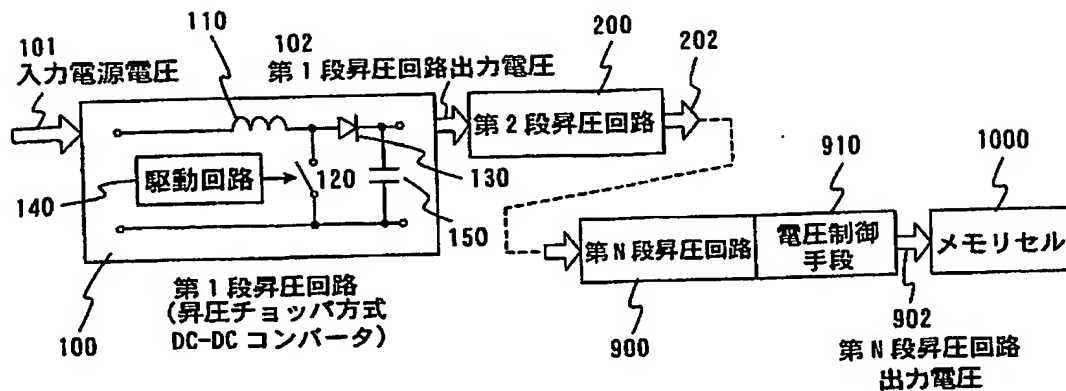
【符号の説明】

10…第1の半導体装置、20…第2の半導体装置、11、21…メモリセル領域、12、22…周辺回路領域、30…CPU、40…メモリカード、100…第1段昇圧回路、101…入力電源電圧、102…第1段昇圧回路の出力電圧、103、203…リミッタ、104、204…発信器、110、110a、110b、110c、110d…インダクタンス素子、120…スイッチング素子、130…ダイオード、140…スイッチング素子のゲート駆動回路、150…出力平滑コンデンサ、160…コンデンサ、170…ダイオード、200…第2段昇圧回路、900…第N段昇圧回路、902…第N段昇圧回路の出力電圧、910…電圧制御手段、1000…メモリセル、1110、1120…昇圧回路領域。

【書類名】 図面

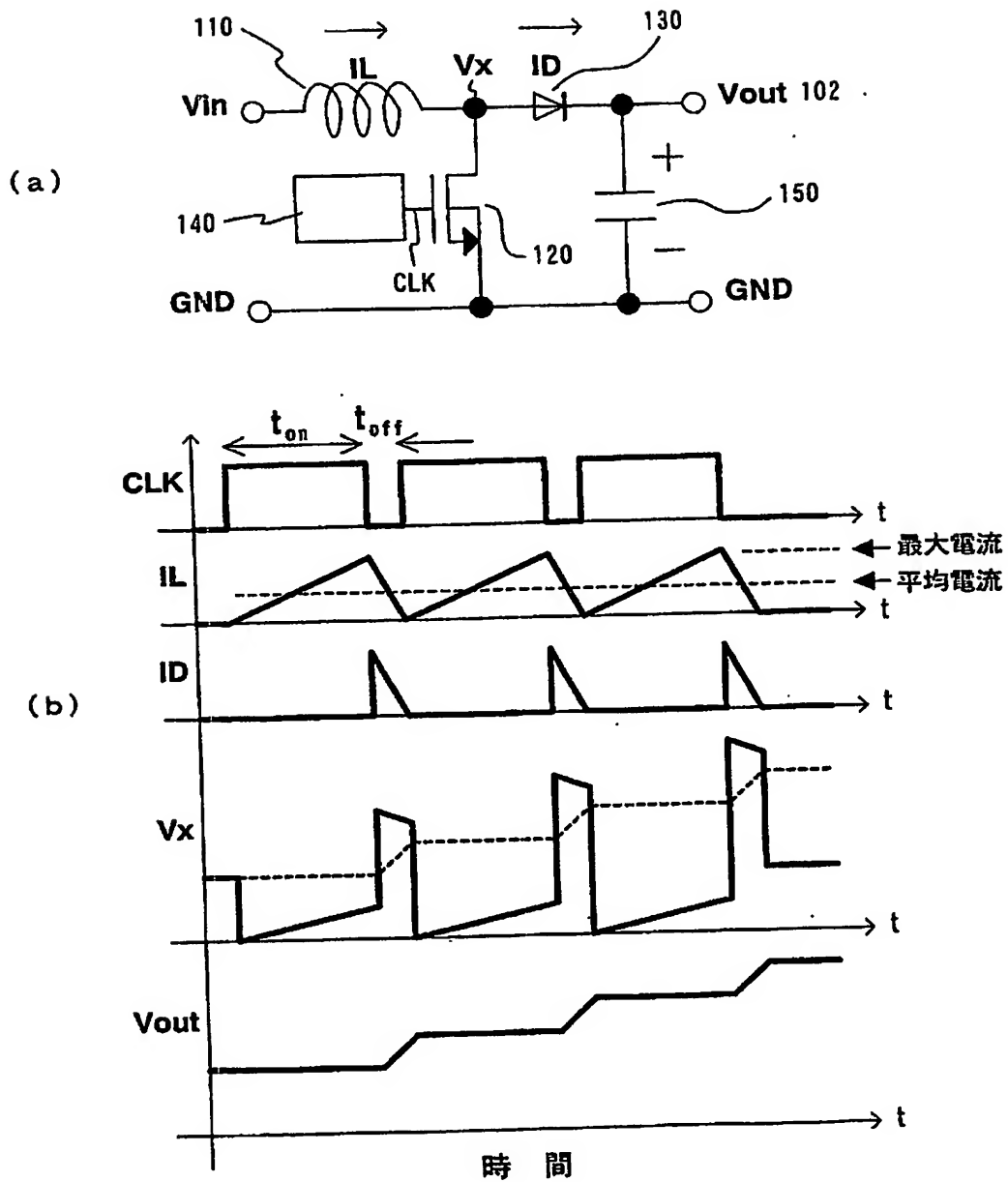
【図 1】

図 1



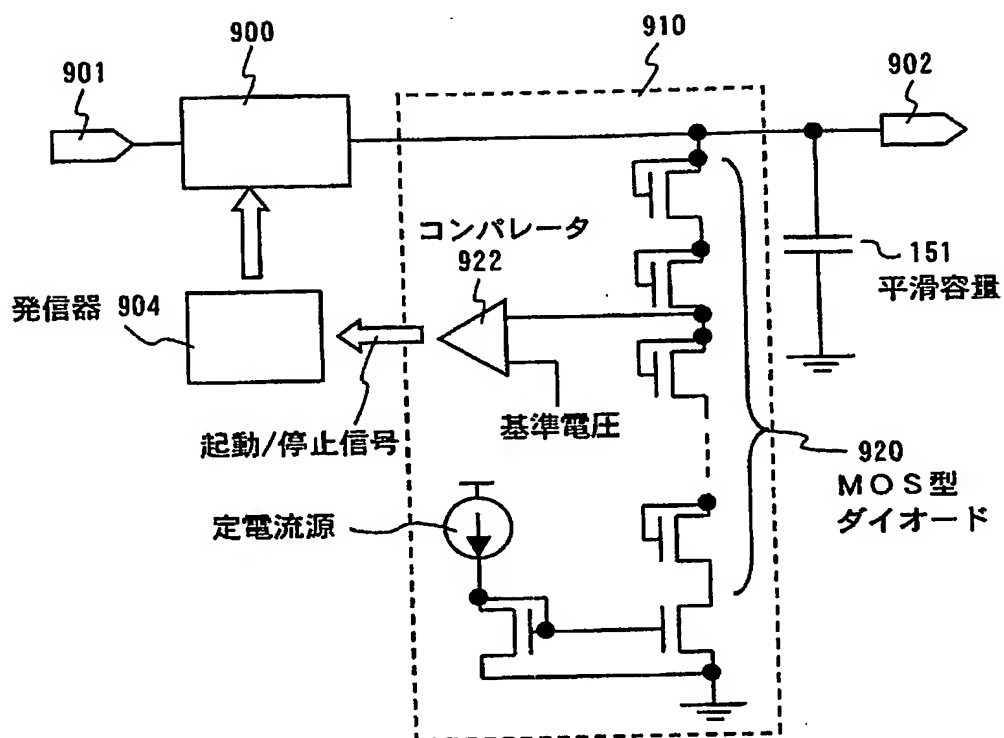
【図 2】

図 2



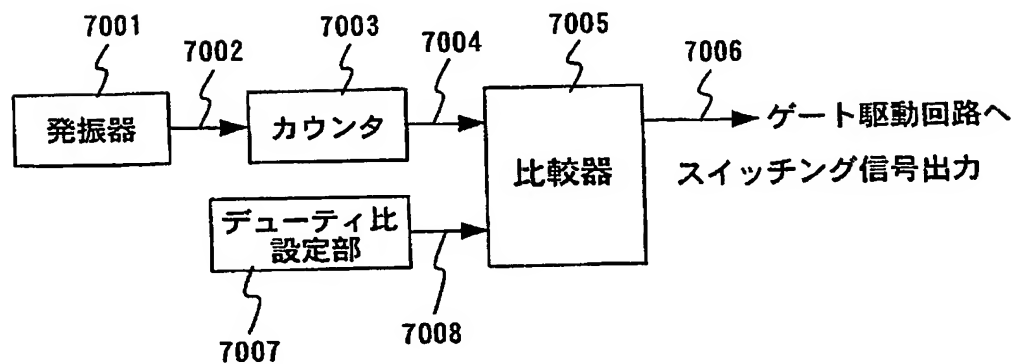
【図 3】

図 3



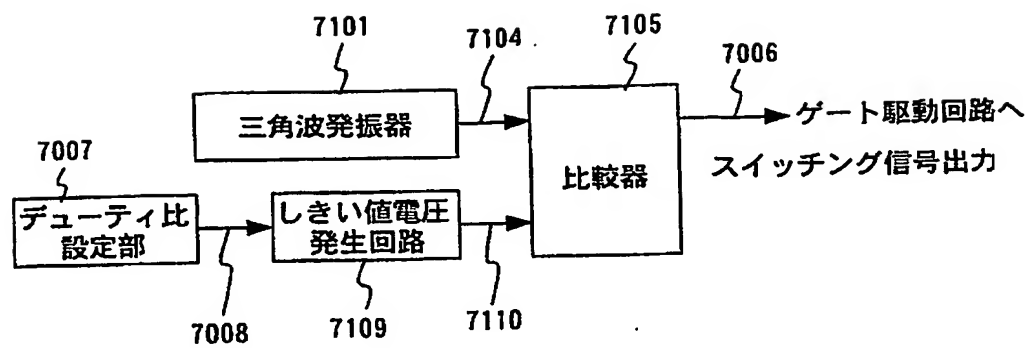
【図 4】

図 4



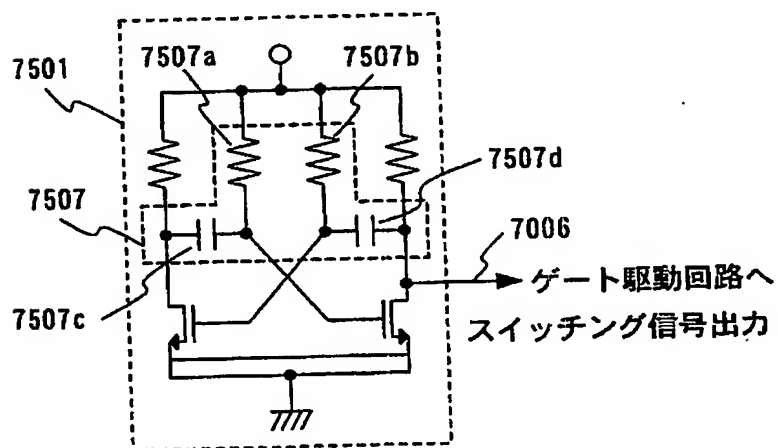
【図 5】

図 5



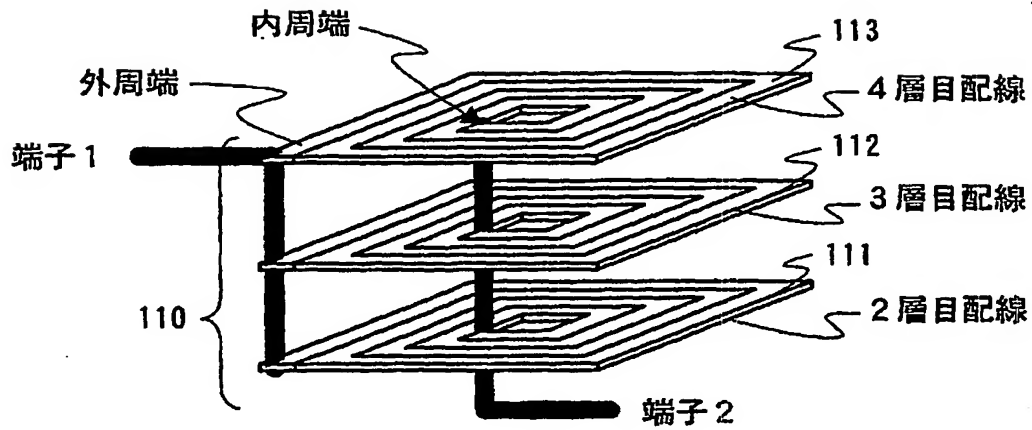
【図 6】

図 6



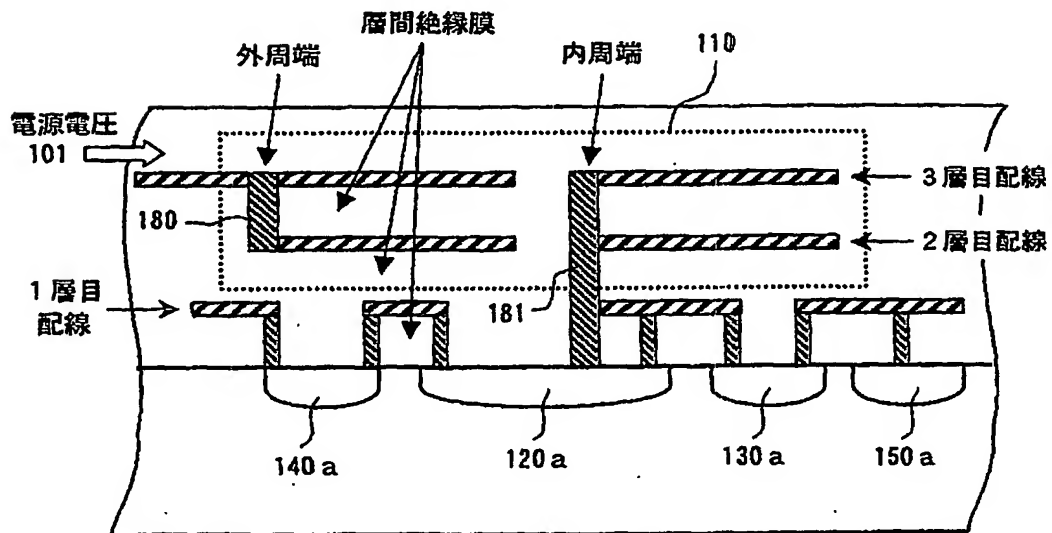
【図 7】

図 7



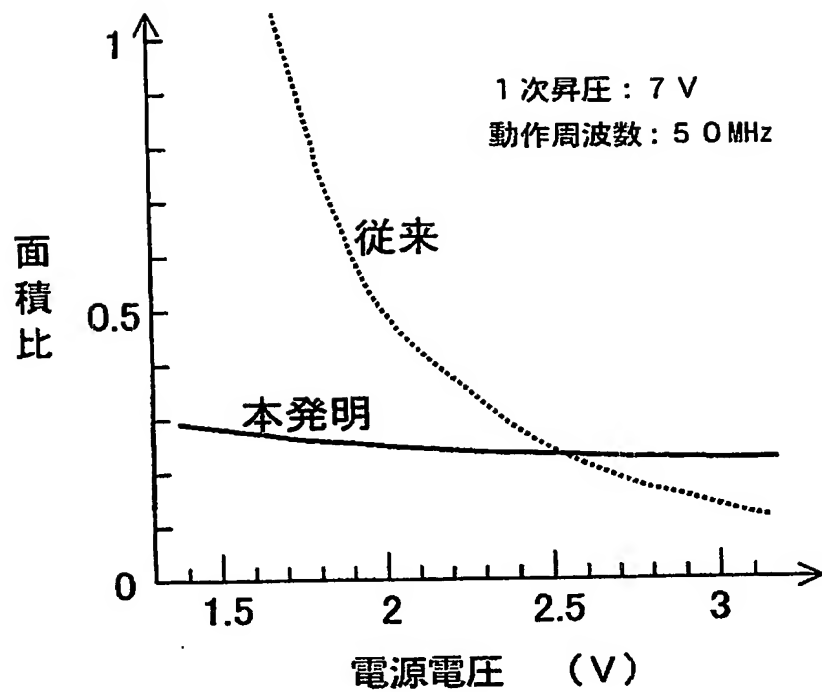
【図 8】

図 8



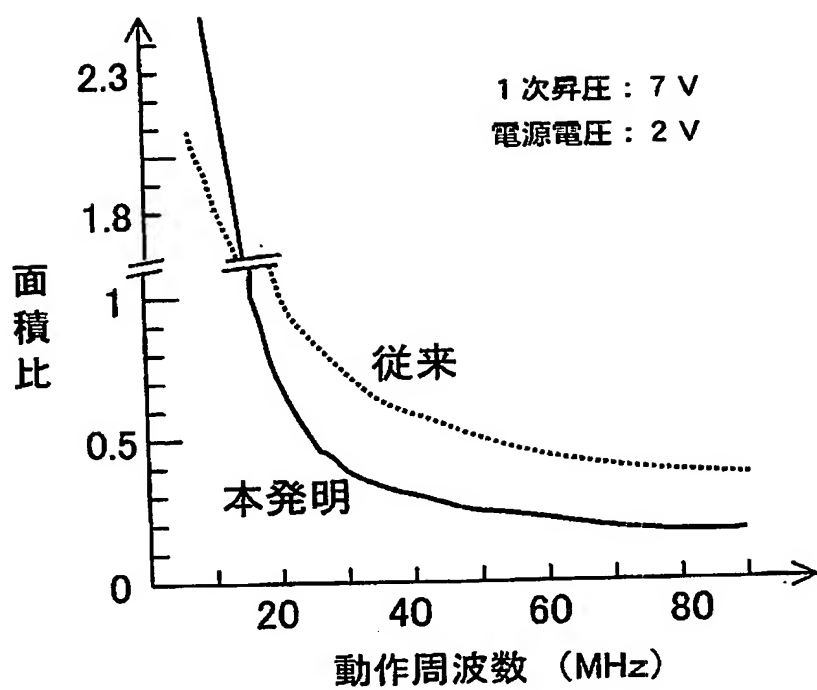
【図9】

図 9



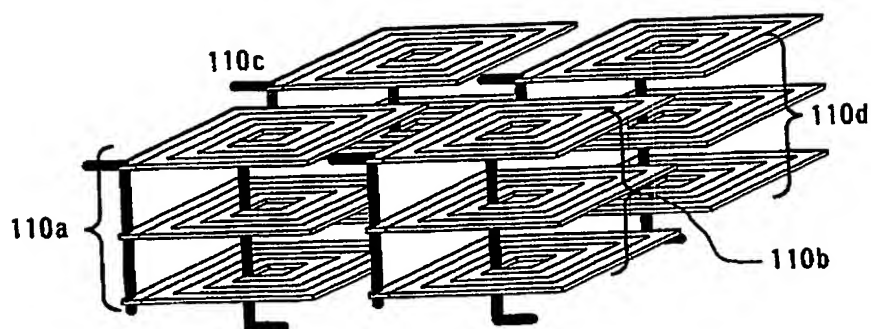
【図 10】

図 10



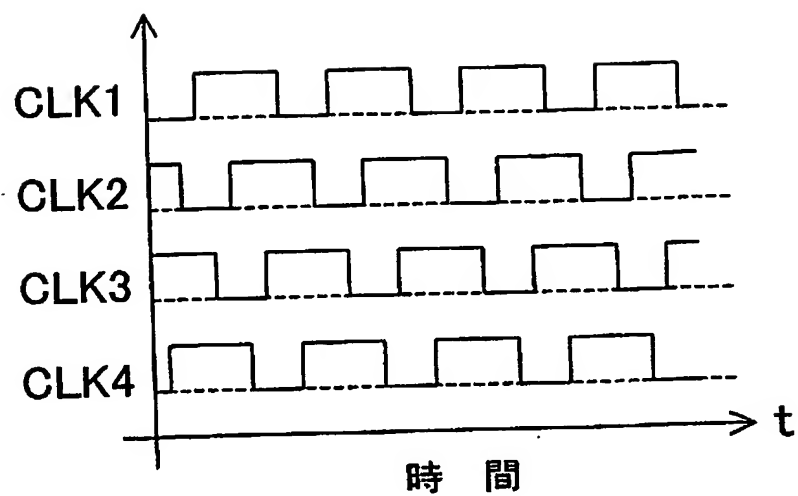
【図 11】

図 11



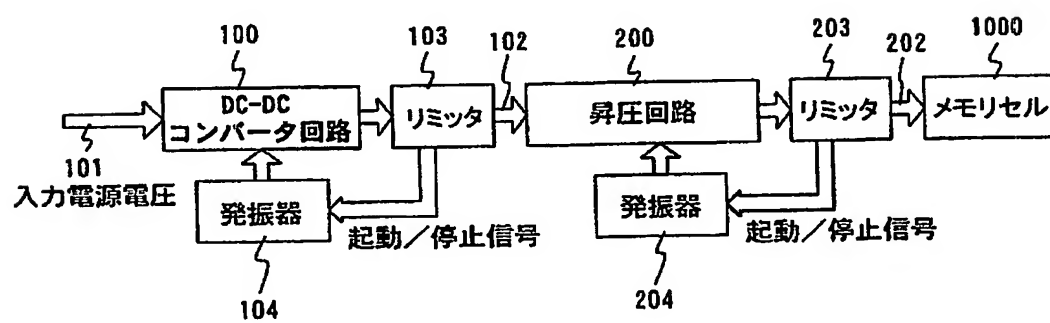
【図 12】

図 12



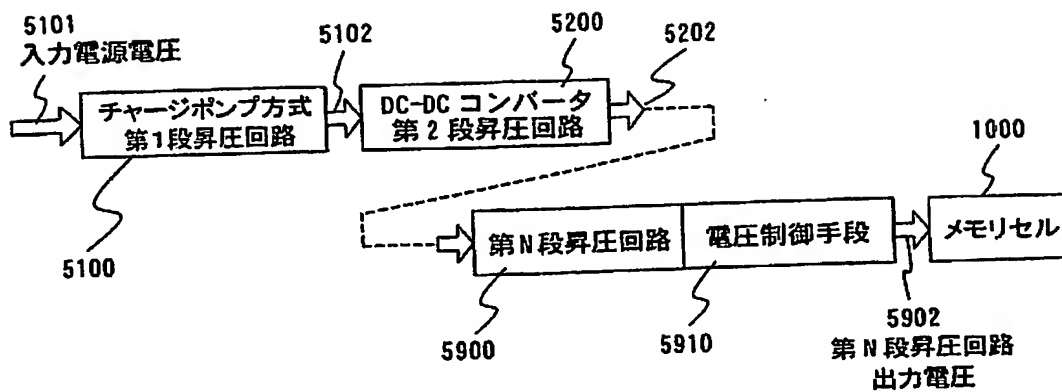
【図 13】

図 13



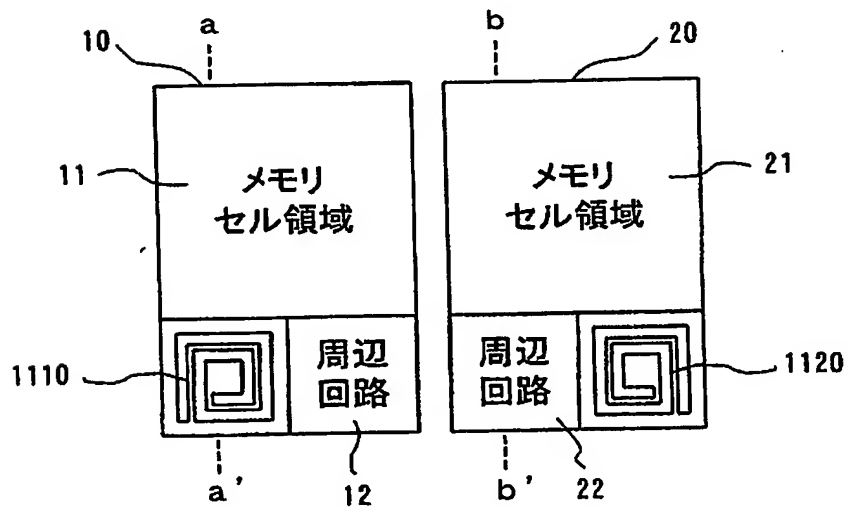
【図14】

図 1 4



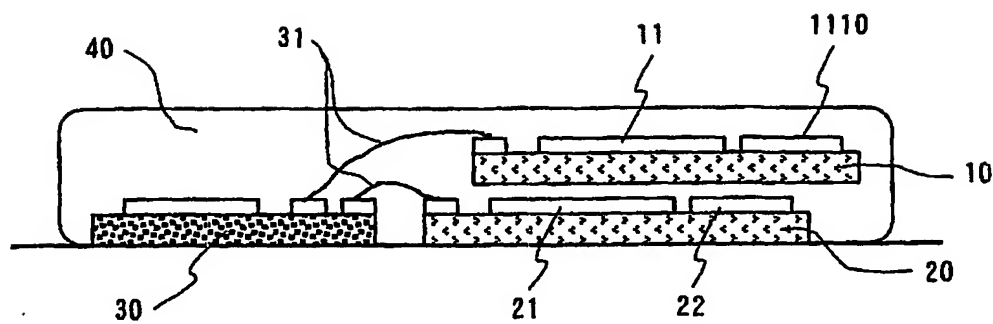
【図15】

図 1 5



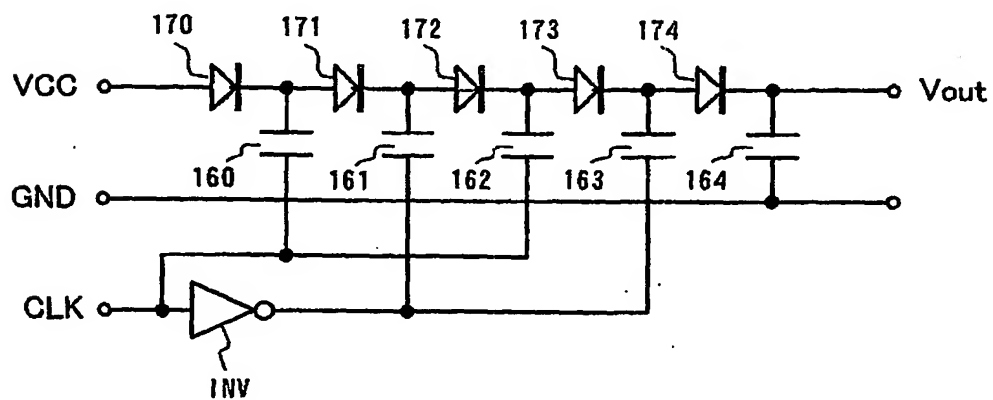
【図 16】

図 16



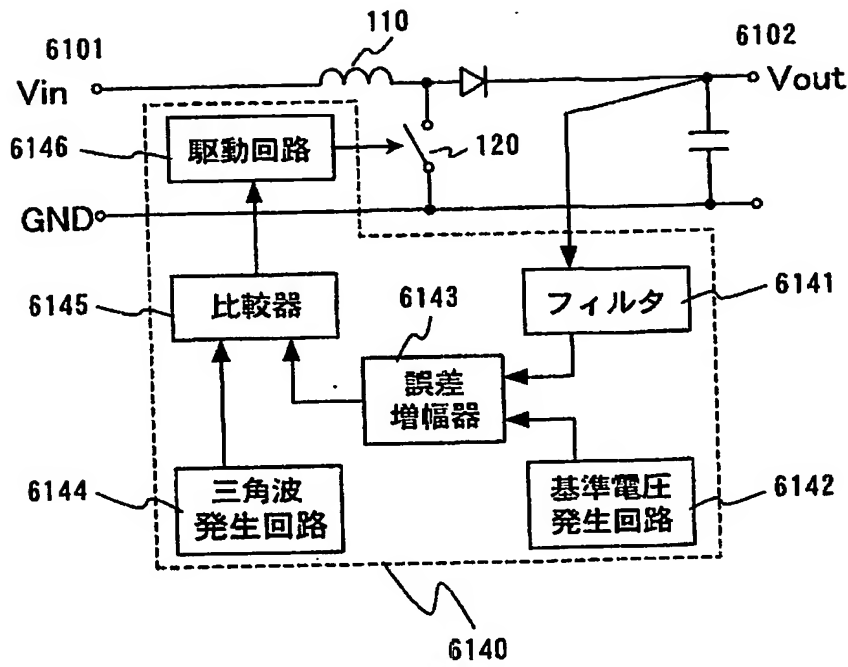
【図 17】

図 17



【図 18】

図 18



【書類名】 要約書

【要約】

【課題】 電源電圧より高い電圧を内部回路で発生して内部素子を動作させる半導体装置において、従来のチャージポンプ方式では微細化の進展によりLSIの電源電圧が低くなると、ポンプ一段当りの昇圧電圧は小さくなって、所定電圧圧まで昇圧するのに必要な段数が増え、回路のレイアウト面積が増大するという問題があった。

【解決手段】 電源電圧を所定の最終出力電圧まで昇圧する昇圧回路を、N段の昇圧回路（Nは2以上の整数）で構成し、第1段電圧まで昇圧する第1段昇圧回路には、半導体装置内に形成したインダクタンス素子、スイッチング素子およびダイオードからなるDC-DCコンバータ回路を用い、1次電圧を所定の最終電圧まで昇圧する第2段以降の昇圧回路には、チャージポンプ回路、または第2のDC-DCコンバータ回路を用いて、少なくともN段目の昇圧回路には所定の出力電圧が安定して得られるよう出力電圧制御手段を設ける。

【選択図】 図1

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-233909

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【提出物件の目録】

【包括委任状番号】 0308735

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 4 - 3 2 1 7 5 6 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願2002-233909
受付番号	50301249454
書類名	出願人名義変更届（一般承継）
担当官	土井 恵子 4264
作成日	平成15年 9月 2日

<認定情報・付加情報>

【提出日】 平成15年 7月29日

特願 2002-233909

出 願 人 履 歴 情 報

識別番号

[000005108]

1. 変更年月日

1990年 8月31日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台4丁目6番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 2 3 3 9 0 9

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日
[変更理由]

住 所
氏 名

2 0 0 3 年 4 月 1 日
新規登録
東京都千代田区丸の内二丁目 4 番 1 号
株式会社ルネサステクノロジ